

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-154707

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

H01L 21/3205

G03F 9/00

H01L 21/28

H01L 21/027

H01L 21/306

(21)Application number : 08-281101

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 23.10.1996

(72)Inventor : KOIZUMI GENTA

(30)Priority

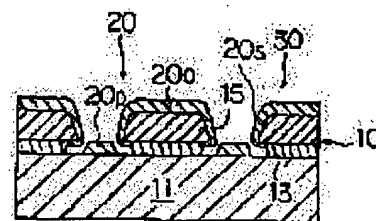
Priority number : 08256367 Priority date : 27.09.1996 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a pattern with excellent dimensional accuracy by preventing the generation of burrs as well as shorten the time of lift-off treatment greatly.

SOLUTION: After a photoresist film is formed of two layer on a substrate 11 or on a covered film formed thereon, a resist pattern 10 is formed and a surface resist layer 15 is reversed to make it insoluble, and then a resist layer 13 thereunder is dissolved through its resist side wall and it is made into such a shape that it is undercut against the surface resist layer 15. Further, a conductive film 20 is formed on the resist pattern 10, and the resist pattern 10 is dissolved and a conductive film 20o is removed for patterning.



LEGAL STATUS

[Date of request for examination] 16.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3339331

[Date of registration] 16.08.2002

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] After forming a photoresist film on the coat formed on a substrate or it at a bilayer, Form a resist pattern, and make it reversed and a surface resist layer is made to insolubilize after that. The configuration by which was made to dissolve a lower layer resist layer from the resist side attachment wall, and the undercut was carried out to the surface resist layer is processed. The manufacture method of the semiconductor device characterized by removing the conductive film on a resist pattern and performing patterning while forming a conductive film on a resist pattern after that and dissolving the above-mentioned resist pattern.

[Claim 2] It is the manufacture method of a semiconductor device according to claim 1 that, as for a lower layer resist layer, thickness is formed by about 1.0-2.5 micrometers, and thickness is formed by 2.0-4.0 micrometers, as for a surface resist layer.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device that the process which performs patterning of the conductive film which serves as an electrode and wiring by the lift-off method is included.

[0002]

[Description of the Prior Art] As the processing method of the electrode and wiring of a semiconductor device, as shown in drawing 4 (a) To the pattern space surrounded by the resist film 43 formed on the semiconductor substrate 41 Many pattern formation by the lift-off method for removing metal membrane 45o which used this resist film 43 as the mask, formed the metal membrane 45 by vacuum deposition processing, was immersed into organic solvents, such as an acetone, in this, and was formed on the resist film 43 and its resist film 43 is used.

[0003] If it is in the pattern formation by this lift-off method, in the case of vacuum deposition processing of a metal membrane 45, it originates in dispersion and diffusion of vacuum evaporatio metal particles, and 45s of side-attachment-wall adhesion layers of a thin metal is formed in the side-attachment-wall section of the resist film 43 of the semiconductor substrate 41. 45s of this side-attachment-wall adhesion layer bars osmosis on the resist film of the organic solvent. Therefore, the method of applying mechanical force, such as supersonic oscillation, and promoting destruction of 45s of side-attachment-wall adhesion layers is usually taken, the semiconductor substrate 41 being immersed into the organic solvent.

[0004]

[Problem(s) to be Solved by the Invention] However, not a perpendicular configuration but since it becomes an order taper configuration a little, if a metal membrane 45 becomes thick, it will become thick [no less than 45s of side-attachment-wall adhesion layers], and, as for the cross-section configuration of the positive-resist film 43 usually used, the lift-off processing time will become long.

[0005] Furthermore, in the metal membrane 45 of the predetermined pattern formed after lift-off processing, as shown in drawing 4 (b), 45s of a part of side-attachment-wall adhesion layers which were not completely removed by the lift off adheres as barricade 45a, it adheres to the front face of the semiconductor substrate 41 near the metal membrane 45, or remains in the state where it projected from (barricade 45b) or the metal membrane 45 (barricade 45c).

Consequently, at the time of a multilayer interconnection, wiring was disconnected and there was a problem to short-circuit.

[0006] Therefore, in order to make thin conventionally 45s of side-attachment-wall adhesion layers of the resist film 43, various works have been carried out to the cross-section configuration of the resist film 43.

[0007] For example, as shown in drawing 5, after exposure of the positive-resist film 51, perform chlorobenzene processing or DeepUV light etc. is irradiated. after performing refractory-ized processing for the surface layer of the resist film 51 to a developer, development is performed and the cross-section configuration of the resist film 51 is made into the configuration near T characters (a surface layer is made into an eaves configuration) -- ** -- the means to say -- moreover, as shown in drawing 6 After performing complete exposure after forming the resist film 61 further, and raising the sensitivity of a resist, the resist film 61 was further formed on it, pattern exposure and development were performed, and a means to make the cross-section configuration of the resist film 61 into a back taper configuration has been taken.

[0008] However, since each of these methods was not able to reduce precision of a resist pattern and was not fully able to prevent the wraparound to the resist film side attachment wall of the metal particles which carry out incidence from across at the time of vacuum deposition, they was not able to prevent generating of a barricade completely.

[0009] Then, the purpose of this invention is to offer the manufacture method of the semiconductor device which can

form the pattern which prevented generating of a barricade and was excellent in the dimensional accuracy while it solves the aforementioned technical problem and shortens the lift-off processing time sharply.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem invention of a claim 1 After forming a photoresist film on the coat formed on a substrate or it at a bilayer, Form a resist pattern, and make it reversed and a surface resist layer is made to insolubilize after that. The configuration by which was made to dissolve a lower layer resist layer from the resist side attachment wall, and the undercut was carried out to the surface resist layer is processed. While forming a conductive film on a resist pattern after that and dissolving the above-mentioned resist pattern, it is the method of removing the conductive film on a resist pattern and performing patterning.

[0011] As for the resist layer of the above-mentioned lower layer [invention / of a claim 2], thickness is formed by about 1.0-2.5 micrometers, and a surface resist layer is a method by which thickness is formed by 2.0-4.0 micrometers. Since the metal particles by which incidence is carried out from across a resist pattern at the time of the vacuum deposition of a conductive film are blocked by the surface resist layer which is an order taper configuration according to the above-mentioned composition, vacuum evaporation metal particles do not adhere to the lower layer resist layer which is the undercut section. Consequently, while the side-attachment-wall adhesion layer connected with the metal pattern portion used as an electrode and wiring does not form but being able to shorten the lift-off processing time sharply, in the periphery section of the metal pattern formed by lift-off processing, a barricade is not generated at all.

[0012]

[Embodiments of the Invention] Next, the gestalt of suitable operation of this invention is explained in full detail, referring to an accompanying drawing.

[0013] First, the manufacture method of the resist pattern of this invention is explained with drawing 2 .

[0014] As shown in drawing 2 (a), the positive-type photoresist of JIAZO / novolak form is formed in the front face of the semiconductor substrate 11 by about 1.0-2.0-micrometer thickness, and the lower layer resist layer 13 is formed in it.

[0015] Next, on the lower layer resist layer 13, as shown in drawing 2 (b), the positive-type photoresist of AZ5200 series (Shipley tradename) well used for picture reversal technology etc. is formed by 2.0-4.0-micrometer thickness, and the surface resist layer 15 is formed. In addition, the positive-type photoresist of this surface resist layer 15 does not perform diffusion process of the amine system catalyst after exposure as compared with the positive-type photoresist of usual JIAZO / novolak type, but ** is also reversed to a negative mold only with heat treatment, and the exposed negative resist has the feature it is featureless to it being insoluble to an alkali developer.

[0016] And as shown in drawing 2 (c), upper shell pattern exposure of these resists layers 13 and 15 and development are performed, and the resist pattern 10 is formed.

[0017] The process so far is a standard process and the cross-section configuration of a resist turns into an order taper configuration.

[0018] Next, after performing complete exposure to the aforementioned resist pattern 10, 15n of resist layers of a negative mold is reversed, and the surface resist layer 15 is made to insolubilize to an alkali developer, as it heat-treats on a 60 - 300-second hot plate at the temperature of 110-120 degrees C and is shown in drawing 2 (d).

[0019] And finally a development is again performed for 20 to 30 seconds. Thereby, since 15n of surface resist layers reversed to the negative mold is insoluble to an alkali developer, as only the lower layer resist layer 13 is melted by the alkali developer from the resist side-attachment-wall section and it is shown in drawing 2 (e), the lower layer resist layer 13 serves as a configuration by which the undercut was carried out to 15n of surface resist layers of an order taper configuration, and the resist pattern 10 of this invention is formed.

[0020] In addition, since the dissolution rate to the alkali developer of the lower layer resist layer 13 is gathered before the last development shown in drawing 2 (e) after making a negative mold reverse 15n of surface resist layers shown in drawing 2 (d), if the resist pattern is exposed completely again, the resist cross-section configuration of this invention shown in drawing 2 (e) still more easily will become is easy to be acquired.

[0021] Next, it faces forming the metal pattern used as an electrode and wiring, and first, on the resist pattern 10 shown in drawing 2 (e), vacuum deposition of the metal is carried out and the metal membrane whose thickness is about 1 micrometer is formed. This state is shown in drawing 1 .

[0022] Drawing 1 shows the cross section of the semiconductor substrate which has the resist pattern 10 formed by this invention, and the metal pattern which used the resist pattern 10 as the mask, and formed it.

[0023] As shown in drawing 1 , metal pattern 20p of this invention is surrounded by the resist pattern 10, on the semiconductor substrate 11, dissociates with 20s of side-attachment-wall adhesion layers, and is formed.

[0024] And only metal pattern 20p used as the electrode and wiring of a semiconductor device remains by removing metal membrane 20o which was immersed into organic solvents, such as an acetone, and was formed in the

semiconductor substrate 30 in which this metal membrane 20 was formed on the resist layers 13 and 15 and the surface resist layer 15 of those. Thus, formed metal pattern 20p is shown in drawing 3.

[0025] By this invention method, it is blocked by the surface resist layer 15 whose metal particles by which incidence is carried out from across the resist pattern 10 at the time of vacuum deposition are order taper configurations, and vacuum evaporation metal particles do not adhere to the lower layer resist layer 13 by which the undercut is carried out to the surface resist layer 15, and a metal membrane does not form in the undercut section.

[0026] Consequently, since metal pattern 20p of this invention was not formed in 20s of side-attachment-wall adhesion layers, and one, while being able to shorten the lift-off processing time sharply, when lift-off processing is performed next, in the periphery section of metal pattern 20p, a barricade is not generated at all. Moreover, when a metal membrane does not form in the undercut section, there is also almost no difference (pattern shift) of a resist size and a trim size, and the high metal pattern of a dimensional accuracy is obtained.

[0027] In addition, in the gestalt of this operation, although the example which forms a metal membrane 20 as a conductive film on the semiconductor substrate 11 explained, the substrate which forms this conductive film cannot be overemphasized by that an insulating substrate, an insulating coat, etc. are sufficient.

[0028]

[Effect of the Invention] Since a conductive film pattern and a side-attachment-wall adhesion layer are not formed in one in short above according to this invention, the lift-off processing time can be shortened sharply.

[0029] Moreover, since a barricade does not occur at all to the finished conductive film pattern, while there is also almost no difference (pattern shift) of a resist size and a trim size and the high pattern of a dimensional accuracy is obtained, wiring is not disconnected at the time of a multilayer interconnection, or the problem to short-circuit does not arise.

[Translation done.]

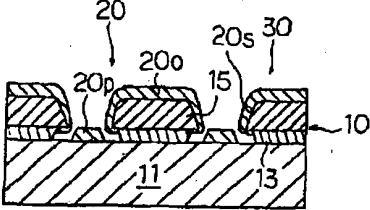
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

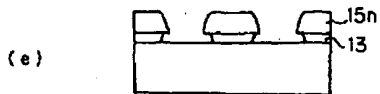
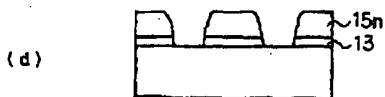
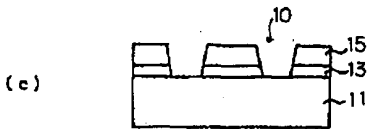
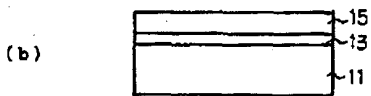
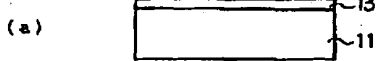
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

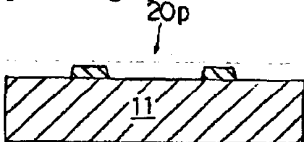
[Drawing 1]



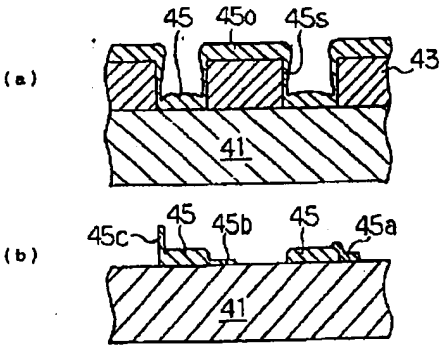
[Drawing 2]



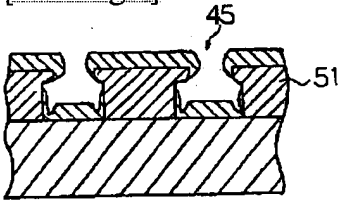
[Drawing 3]



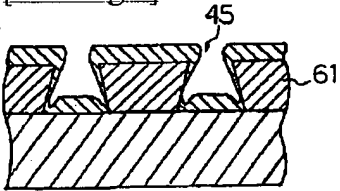
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154707

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

G

G 0 3 F 9/00

G 0 3 F 9/00

H

H 0 1 L 21/28

H 0 1 L 21/28

E

21/027

21/30

5 7 6

21/306

21/306

N

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平8-281101

(22) 出願日 平成8年(1996)10月23日

(31) 優先権主張番号 特願平8-256367

(32) 優先日 平8(1996)9月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 小泉 玄太

茨城県日立市日高町5丁目1番1号 日立

電線株式会社日高工場内

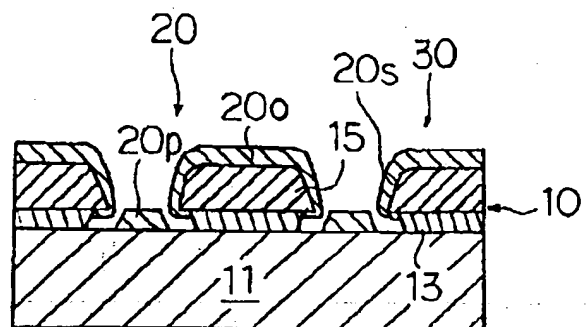
(74) 代理人 弁理士 松本 孝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 リフトオフ処理時間を大巾に短縮すると共に、バリの発生を阻止して寸法精度に優れたパターンを形成できる半導体装置の製造方法を提供する。

【解決手段】 基板11上或いはその上に形成された被膜上に、フォトリソ膜を二層に形成した後、レジストパターン10を形成し、その後表面レジスト層15を反転させて不溶化させ、下層のレジスト層13をそのレジスト側壁より溶解させて表面レジスト層15に対してアンダーカットされた形状に加工し、その後レジストパターン10上に導電性膜20を形成し、上記レジストパターン10を溶解させると共にレジストパターン10上の導電性膜20を除去してパターニングを行う。



【特許請求の範囲】

【請求項1】基板上或いはその上に形成された被膜上に、フォトリソ膜を二層に形成した後、レジストパターンを形成し、その後表面レジスト層を反転させて不溶化させ、下層のレジスト層をそのレジスト側壁より溶解させて表面レジスト層に対してアンダーカットされた形状に加工し、その後レジストパターン上に導電性膜を形成し、上記レジストパターンを溶解させると共にレジストパターン上の導電性膜を除去してパターニングを行うことを特徴とする半導体装置の製造方法。

【請求項2】下層のレジスト層は厚さが約1.0～2.5 μm で形成され、表面レジスト層は厚さが2.0～4.0 μm で形成される請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リフトオフ法により電極・配線となる導電性膜のパターニングを行う工程が含まれる半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体素子の電極・配線の加工方法として、例えば図4(a)に示すように、半導体基板41上に形成されたレジスト膜43で囲まれたパターン領域に、このレジスト膜43をマスクにして真空蒸着処理により金属膜45を形成し、これをアセトン等の有機溶剤中に浸漬してレジスト膜43及びそのレジスト膜43上に形成された金属膜45を除去するリフトオフ法によるパターン形成が多く用いられている。

【0003】このリフトオフ法によるパターン形成にあつては、金属膜45の真空蒸着処理の際に、蒸着金属粒子の散乱や拡散に起因して、半導体基板41のレジスト膜43の側壁部に薄い金属の側壁付着層45sが形成される。この側壁付着層45sは有機溶剤のレジスト膜への浸透を妨げる。そのため、通常、半導体基板41を有機溶剤中に浸漬しながら、超音波振動等の機械的力を加えて側壁付着層45sの破壊を促進する方法が採られている。

【0004】

【発明が解決しようとする課題】しかしながら、通常用いられるポジ型レジスト膜43の断面形状は、垂直形状ではなく、やや順テーパ形状となるため、金属膜45が厚くなると側壁付着層45sも厚くなり、リフトオフ処理時間が長くなってしまふ。

【0005】更に、リフトオフ処理後に形成された所定のパターンの金属膜45には、図4(b)に示すように、リフトオフで完全に除去されなかった側壁付着層45sの一部分がバリ45aとして付着したり、金属膜45の近傍の半導体基板41の表面に付着したり(バリ45b)、或いは金属膜45から突出した状態で残存したりする(バリ45c)。その結果、多層配線時に配線が

断線したり、短絡する問題があった。

【0006】そのため従来、レジスト膜43の側壁付着層45sを薄くするため、レジスト膜43の断面形状に対し、様々な工夫がされてきた。

【0007】例えば、図5に示すように、ポジ型レジスト膜51の露光後、クロロベンゼン処理を行ったり又はDeep UV光等を照射し、レジスト膜51の表面層を現像液に対して難溶化処理を行った後、現像を行い、レジスト膜51の断面形状をT字に近い形状にする(表面層をひさし形状にする)という手段や、また、図6に示すように、レジスト膜61を一層形成した後、全面露光を行い、レジストの感度を高めた後、更にその上にレジスト膜61を形成し、パターン露光、現像を行い、レジスト膜61の断面形状を逆テーパ形状にするといった手段が採られてきた。

【0008】しかしながら、これらの方法はいずれもレジストパターンの精度を低下させたり、また真空蒸着時に斜めから入射する金属粒子のレジスト膜側壁への回り込みを十分に防ぐことができないため、バリの発生を完全に防ぐことができなかった。

【0009】そこで本発明の目的は、前記課題を解決し、リフトオフ処理時間を大巾に短縮すると共に、バリの発生を阻止して寸法精度に優れたパターンを形成できる半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために請求項1の発明は、基板上或いはその上に形成された被膜上に、フォトリソ膜を二層に形成した後、レジストパターンを形成し、その後表面レジスト層を反転させて不溶化させ、下層のレジスト層をそのレジスト側壁より溶解させて表面レジスト層に対してアンダーカットされた形状に加工し、その後レジストパターン上に導電性膜を形成し、上記レジストパターンを溶解させると共にレジストパターン上の導電性膜を除去してパターニングを行う方法である。

【0011】請求項2の発明は、上記下層のレジスト層は厚さが約1.0～2.5 μm で形成され、表面レジスト層は厚さが2.0～4.0 μm で形成される方法である。上記構成によれば、導電性膜の真空蒸着時に、レジストパターンの斜めから入射される金属粒子が順テーパ形状である表面レジスト層にブロックされるので、アンダーカット部である下層のレジスト層に蒸着金属粒子が付着しない。その結果、電極・配線となる金属パターン部分と繋がった側壁付着層が形成せず、リフトオフ処理時間を大巾に短縮できると共に、リフトオフ処理により形成した金属パターンの外周部にはバリは全く発生しない。

【0012】

【発明の実施の形態】次に、本発明の好適実施の形態を添付図面を参照しながら詳述する。

【0013】先ず、本発明のレジストパターンの製造方法を図2と共に説明する。

【0014】図2(a)に示すように、半導体基板11の表面に、ジアゾ／ノボラック形のポジ型フォトレジストを約1.0～2.0 μ mの膜厚で形成して、下層のレジスト層13を形成する。

【0015】次に、その下層のレジスト層13上に、図2(b)に示すように、画像反転技術等によく用いられるAZ5200シリーズ(シップレイ社商品名)のポジ型フォトレジストを2.0～4.0 μ mの膜厚で形成して、表面レジスト層15を形成する。尚、この表面レジスト層15のポジ型フォトレジストは、通常のジアゾ／ノボラック形のポジ型フォトレジストと比較して、露光後アミン系触媒の拡散処理を行わずとも熱処理のみによりネガ型に反転し、露光されたネガ型レジストがアルカリ現像液に対して不溶となる特徴を有する。

【0016】そして、図2(c)に示すように、これらレジスト層13、15の上からパターン露光、現像を行い、レジストパターン10を形成する。

【0017】ここまでのプロセスは標準的なプロセスであり、レジストの断面形状は、順テーパー形状となる。

【0018】次に、前記レジストパターン10に全面露光を行った後、温度110～120℃で60～300秒ホットプレート上で熱処理を行い、図2(d)に示すように、表面レジスト層15をネガ型のレジスト層15nに反転させ、アルカリ現像液に対して不溶化させる。

【0019】そして最後に、再び現像処理を20～30秒行う。これにより、ネガ型に反転した表面レジスト層15nはアルカリ現像液に不溶のため、下層のレジスト層13のみがそのレジスト側壁部よりアルカリ現像液に溶かされ、図2(e)に示すように、下層のレジスト層13は、順テーパー形状の表面レジスト層15nに対し、アンダーカットされた形状となり、本発明のレジストパターン10が形成される。

【0020】尚、図2(d)に示した表面レジスト層15nをネガ型に反転させた後、図2(e)に示す最終現像処理前に、下層のレジスト層13のアルカリ現像液に対する溶解速度を増すために、レジストパターンを再度全面露光しておくことにより更に容易に図2(e)に示した本発明のレジスト断面形状が得られ易くなる。

【0021】次に、電極・配線となる金属パターンを形成するに際しては、先ず、図2(e)に示したレジストパターン10上に金属を真空蒸着させ、膜厚が約1 μ mの金属膜を形成する。この状態を図1に示す。

【0022】図1は、本発明により形成したレジストパターン10と、そのレジストパターン10をマスクにして形成した金属パターンとを有する半導体基板の断面図を示している。

【0023】図1に示すように、本発明の金属パターン20pは、レジストパターン10で囲まれ、半導体基板

11上に側壁付着層20sと分離して形成されている。

【0024】そして、この金属膜20が形成された半導体基板30を、アセトン等の有機溶剤中に浸漬してレジスト層13、15及びその表面レジスト層15上に形成された金属膜20oを除去することにより、半導体素子の電極・配線となる金属パターン20pのみが残留される。このように形成した金属パターン20pを図3に示す。

【0025】本発明方法により、真空蒸着時にレジストパターン10の斜めから入射される金属粒子が順テーパー形状である表面レジスト層15にブロックされ、表面レジスト層15に対しアンダーカットされている下層のレジスト層13に蒸着金属粒子が付着せず、またアンダーカット部にも金属膜は形成しない。

【0026】その結果、本発明の金属パターン20pは側壁付着層20sと一体に形成されないため、リフトオフ処理時間を大巾に短縮できると共に、次にリフトオフ処理を行った場合、金属パターン20pの外周部にはバリは全く発生しない。また、アンダーカット部に金属膜が形成しないことにより、レジスト寸法と仕上り寸法との差(寸法変換量)もほとんどなく、寸法精度の高い金属パターンが得られる。

【0027】尚、本実施の形態においては、半導体基板11上に導電性膜として金属膜20を形成する例で説明したが、この導電性膜を形成する基板は絶縁性基板や絶縁性被膜等でも良いことはいうまでもない。

【0028】

【発明の効果】以上要するに本発明によれば、導電性膜パターンと側壁付着層とが一体に形成されないため、リフトオフ処理時間を大巾に短縮することができる。

【0029】また、仕上がった導電性膜パターンにはバリが全く発生しないため、レジスト寸法と仕上り寸法との差(寸法変換量)もほとんどなく、寸法精度の高いパターンが得られると共に、多層配線時に配線が断線したり、短絡する問題が生じない。

【図面の簡単な説明】

【図1】本発明により半導体基板上に形成されたレジストパターンをマスクにして導電性膜パターンを形成した状態を示す断面図である。

【図2】本発明により半導体基板上に形成されるレジストパターンの形成方法を示す図である。

【図3】図1で示した半導体基板にリフトオフ処理を施した状態を示す断面図である。

【図4】従来方法により形成した金属パターンを示す図であり、(a)はポジ型フォトレジスト膜をマスクにして金属膜を形成した状態を示す断面図であり、(b)は(a)の半導体基板にリフトオフ処理を施した状態を示す断面図である。

【図5】従来方法により半導体基板上に形成されたポジ型フォトレジスト膜をマスクにして金属パターンを形成

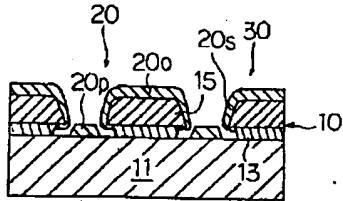
した状態を示す断面図である。

【図6】従来方法により半導体基板上に形成されたポジ型フォトリソ膜をマスクにして金属パターンを形成した状態を示す断面図である。

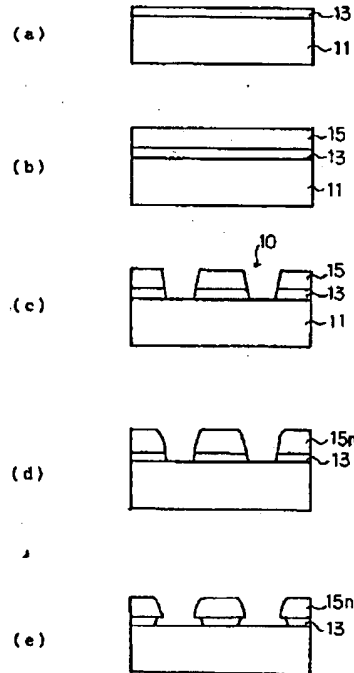
【符号の説明】

- 10 レジストパターン
- 11 半導体基板
- 13 下層のレジスト層
- 15 表面レジスト層
- 20 導電性膜（金属膜）

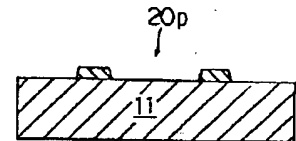
【図1】



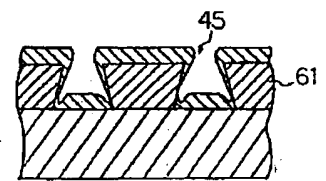
【図2】



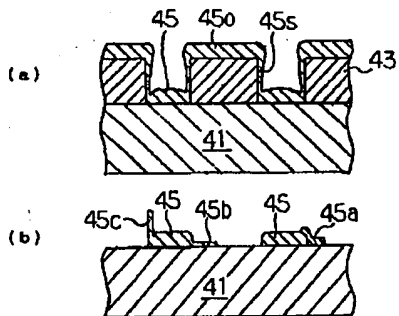
【図3】



【図6】



【図4】



【図5】

